



УКРАЇНА

(19) UA

(11) 130787

(13) C2

(51) МПК

G06F 7/38 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН  
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ  
ДЕРЖАВНА ОРГАНІЗАЦІЯ  
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ  
ОФІС ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

**(12) ОПИС ДО ПАТЕНТУ НА ВИНАХІД****(21)** Номер заявки: **а 2023 06268****(22)** Дата подання заявки: **22.12.2023****(24)** Дата, з якої є чинними  
права інтелектуальної  
власності: **14.05.2026****(41)** Публікація відомостей  
про заявку: **03.07.2024, Бюл.№ 27****(46)** Публікація відомостей  
про державну  
реєстрацію: **13.05.2026, Бюл.№ 19****(72)** Винахідник(и):**Цмоць Іван Григорович (UA),  
Теслюк Василь Миколайович (UA),  
Опотьк Юрій Володимирович (UA),  
Штогрінець Богдан Володимирович (UA)****(73)** Володілець (володільці):**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ  
"ЛЬВІВСЬКА ПОЛІТЕХНІКА",  
вул. Ст. Бандери, 12, м. Львів, 79013 (UA)****(56)** Перелік документів, взятих до уваги  
експертизою:**Ткаченко Р.О., Цмоць І.Г., Скорохода О.В.,  
Синтез високоефективних багат шарових  
перцептронів з неітераційним навчанням //  
Вісник НУ "Львівська політехніка"  
"Комп'ютерні науки та інформаційні  
технології" № 650, Львів 2009. С. 45-55. Рис.  
2****UA 101922 C2, 13.05.2013  
UA 118596 C2, 11.02.2019  
UA 66138 U, 26.12.2011  
US 9477441 B2, 25.10.2016  
US 6233671 B1, 15.05.2001  
US 2002184474 A1, 05.12.2002  
WO 9957631 A1, 11.11.1999****(54) ПРИСТРІЙ ДЛЯ ОБЧИСЛЕННЯ СКАЛЯРНОГО ДОБУТКУ****(57)** Реферат:

Винахід належить до обчислювальної техніки і може бути використаний у спеціалізованих комп'ютерних системах, системах цифрової обробки сигналів та нейромережах для збільшення діапазону зміни величин вхідних даних при обчисленні скалярного добутку з наперед відомими множеними (константами). Пристрій для обчислення скалярного добутку містить вхід максимального порядку макрочасткових добутків, три входи запису, чотири входи управління, два тактові входи, вхід порядку вхідного даного, вхід мантиси вхідного даного, вхід адреси, вхід даних, вхід вибору режиму роботи пам'яті, вхід вибірки пам'яті, вхід скиду, регістр максимального порядку макрочасткових добутків, блок завантаження вхідних даних, який містить k регістрів порядку, де k - кількість пар добутків, та k регістрів мантиси, блок визначення максимального порядку, який містить регістр порядку, комутатор порядків, логічний елемент І, віднімач, регістр більшого порядку, регістр максимального порядку, регістр адреси, регістр даних, логічний елемент АБО-НІ, k вузлів вирівнювання порядків та формування адресного розряду, а кожний s-й вузол, де s=1, ..., k, містить регістр порядку, регістр мантиси, віднімач, перший комутатор, схему порівняння та другий комутатор, логічний елемент АБО, суматор порядків, комутатор адреси, пам'ять, регістр макрочасткових добутків, суматор-віднімач макрочасткових добутків, регістр порядку скалярного добутку, регістр мантиси скалярного добутку, вихід порядку скалярного добутку, вихід мантиси скалярного добутку. Технічний

UA 130787 C2

результат: збільшення діапазону зміни величин вхідних даних при обчисленні скалярного добутку з наперед відомими множеними за рахунок використання формату з рухомою комою.

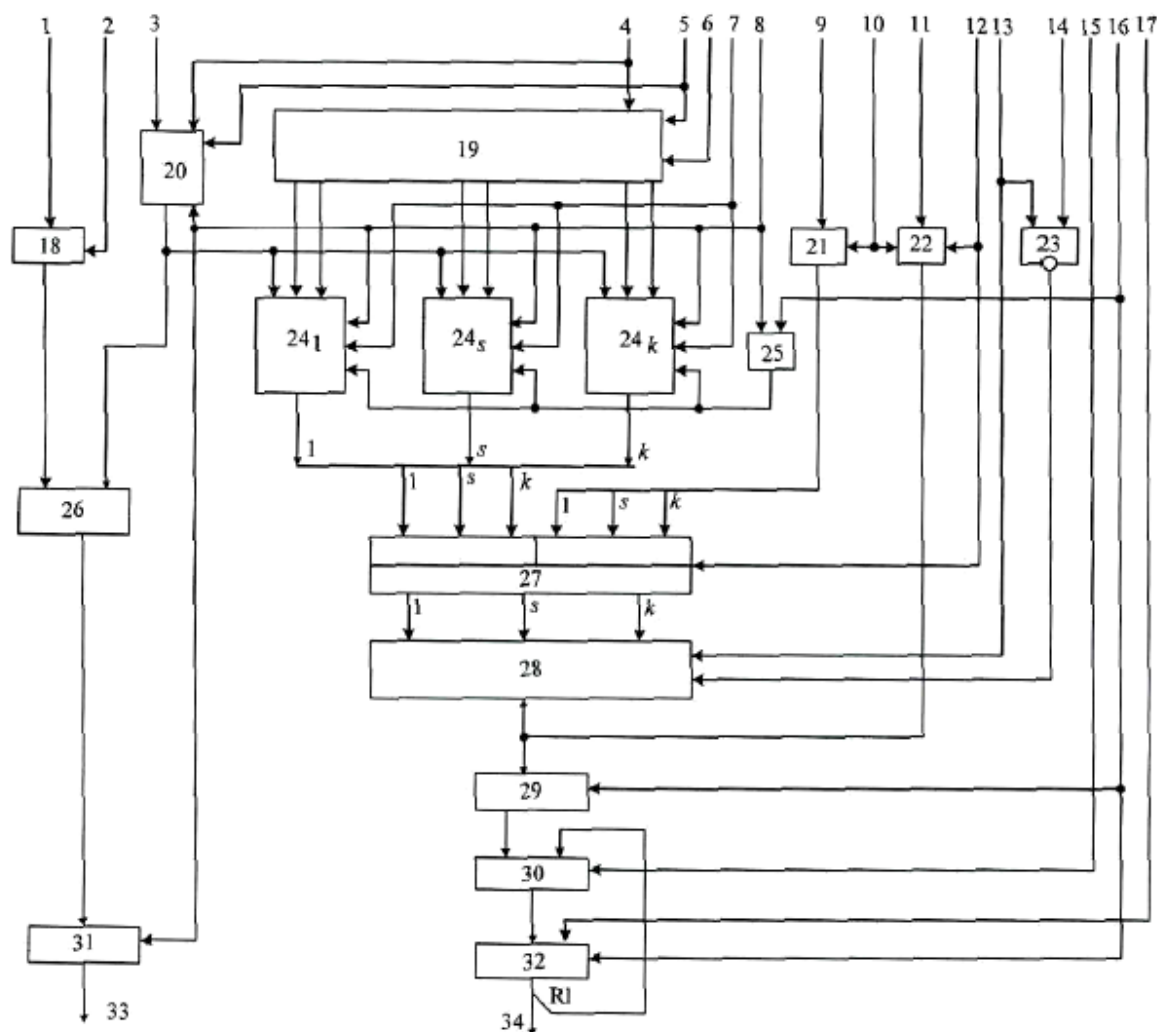


Fig. 1

Винахід належить до обчислювальної техніки і може бути використаний у спеціалізованих комп'ютерних системах, системах цифрової обробки сигналів та нейромережах для збільшення діапазону зміни величин вхідних даних при обчисленні скалярного добутку з наперед відомими множеними (константами).

Відомий пристрій для обчислення скалярного добутку [Патент на винахід № 101922, кл. G06F 7/38, 2013], який містить  $2m$  однорозрядних інформаційних входів, де  $m$  - кількість пар добутків, перший тактовий вхід, другий тактовий вхід, вхід початкової установки, конвеєрний регістр, суматор, регістр результату,  $m$  однорозрядних інформаційних входів,  $m$ -входовий суматор та  $t$  блоків формування часткових добутків, кожен з яких містить регістр розрядів множника, регістр множеного, дешифратор, чотири елементи АБО, комутатор, вихід результату, при цьому другий тактовий вхід з'єднаний з тактовими входами конвеєрного регістра та регістра результату, вхід початкової установки з'єднаний із входами скиду конвеєрного регістра та регістра результату, вихід конвеєрного регістра з'єднаний з першим входом суматора, вихід якого з'єднаний з входом регістра результату, вихід якого з'єднаний з виходом результату та зі зсувом на два розряди праворуч з другим входом суматора, у кожному  $j$ -му ( $j=1, \dots, m$ ) блоці формування часткового добутку перший та другий інформаційні входи регістра множеного з'єднані, відповідно, з  $(2j-1)$ -м та  $2j$ -м однорозрядними інформаційними входами, тактовий вхід регістра множеного з'єднаний з першим тактовим входом, тактовий вхід регістра розрядів множника з'єднаний з другим тактовим входом, вхід скиду регістра розрядів множника з'єднаний з входом початкової установки, прямі виходи регістра множеного з'єднані з першими інформаційними входами комутатора та із зсувом на один розряд ліворуч з другими інформаційними входами комутатора, інверсні виходи регістра множеного з'єднані з третіми інформаційними входами комутатора та із зсувом на один розряд ліворуч з четвертими інформаційними входами комутатора, п'яті інформаційні входи комутатора з'єднані з лог. 0, перший та другий інформаційні входи регістра розрядів множника з'єднані, відповідно, з  $2j$ -м та  $(2j-1)$ -м однорозрядними інформаційними входами, перший вихід регістра розрядів множника з'єднаний з першим входом дешифратора та з третім інформаційним входом регістра розрядів множника, другий та третій виходи регістра розрядів множника з'єднані, відповідно, з другим та третім входами дешифратора, перший та другий входи першого елемента АБО з'єднані, відповідно, з другим та третім виходами дешифратора, перший та другий входи другого елемента АБО з'єднані, відповідно, з шостим та сьомим виходами дешифратора, перший та другий входи третього елемента АБО з'єднані, відповідно, з першим та восьмим виходами дешифратора, перший вхід четвертого елемента АБО з'єднаний з виходом другого елемента АБО, другий вхід четвертого елемента АБО з'єднаний з п'ятим виходом дешифратора, перший вхід управління комутатора з'єднаний з виходом першого елемента АБО, другий вхід управління комутатора з'єднаний з четвертим виходом дешифратора, третій вхід управління комутатора з'єднаний з виходом другого елемента АБО, четвертий вхід управління комутатора з'єднаний з п'ятим виходом дешифратора, п'ятий вхід управління комутатора з'єднаний з виходом третього елемента АБО, вихід четвертого елемента АБО з'єднаний з  $(n+2)$ -м входом  $j$ -ї групи входів  $m$ -входового суматора, де  $n$  - розрядність множеного,  $i$ -й вихід комутатора  $j$ -го блоку формування часткового добутку ( $i=1, \dots, n+1$ ) з'єднаний з  $i$ -м входом  $j$ -ї групи входів  $m$ -входового суматора, вихід якого з'єднаний з входом конвеєрного регістра.

Недоліком даного пристрою є те, що він обчислює скалярний добуток для вхідних даних з фіксованою комою, які мають малий діапазон зміни величин вхідних даних.

Найбільш близьким до запропонованого пристрою для обчислення скалярного добутку є пристрій [Ткаченко Р.О., Цмоць І.Г., Скорохода О.В., Синтез високоефективних багатопарових перцептронів з неітераційним навчанням // Вісник НУ "Львівська політехніка" "Комп'ютерні науки та інформаційні технології" № 650, Львів 2009. С. 45-55. Рис. 2], який містить пам'ять, регістр макрочасткових добутків, суматор-віднімач макрочасткових добутків, регістр мантиси скалярного добутку, два шинні формувачі, блок керування, перетворювач кодів, який містить  $k$  регістрів, де  $k$  - кількість пар добутків, при цьому молодші розряди даних регістрів з'єднані з входами першого шинного формувача, виходи якого з'єднані з адресними входами пам'яті, входи-виходи даних якої з'єднані з входами регістра макрочасткових добутків, виходи якого з'єднані з першим входом суматора-віднімача, вихід якого з'єднаний з входом регістра мантиси скалярного добутку, вихід якого з'єднаний зі зсувом вправо на один розряд з другим входом суматора-віднімача макрочасткових добутків, вихід регістра мантиси скалярного добутку з'єднаний з входом другого шинного формувача, вихід якого з'єднаний з входами-виходами даних пам'яті, перший вихід блока керування з'єднаний з входами управління  $k$  регістрів, другий вихід блока керування з'єднаний з входами управління першого шинного формувача, третій вихід блока керування з'єднаний з входом читання/запису пам'яті, вхід вибірки пам'яті з'єднаний

з четвертим виходом блока керування, п'ятий вихід якого з'єднаний з входом вибору режиму роботи суматора-віднімача, шостий вихід блока керування з'єднаний з тактовим входом регістра мантиси скалярного добутку, сьомий вихід блока керування з'єднаний з входом управління другого шинного формувача.

Недоліком даного пристрою є обчислення суми парних добутків для вхідних даних з фіксованою комою, які мають малий діапазон зміни величин вхідних даних.

В основу винаходу поставлено задачу створити пристрій обчислення скалярного добутку, у якому введення нових елементів і зв'язків між ними забезпечило б збільшення діапазону зміни величин вхідних даних за рахунок використання рухомої коми.

Поставлена задача досягається тим, що пристрій для обчислення скалярного добутку, який містить регістр макрочасткових добутків, суматор-віднімач макрочасткових добутків, регістр мантиси скалярного добутку, пам'ять, входи-виходи даних якої з'єднані з входами регістра макрочасткових добутків, виходи якого з'єднані з першим входом суматора-віднімача, вихід якого з'єднаний з входом регістра мантиси скалярного добутку, вихід якого з'єднаний зі зсувом вправо на один розряд з другим входом суматора-віднімача макрочасткових добутків, згідно з винаходом, додатково містить вхід максимального порядку макрочасткових добутків, три входи запису, чотири входи управління, два тактових входи, вхід порядку вхідного даного, вхід мантиси вхідного даного, вхід адреси, вхід даних, вхід вибору режиму роботи пам'яті, вхід вибірки пам'яті, вхід скиду, вихід порядку скалярного добутку, вихід мантиси скалярного добутку, чотири регістри, суматор, логічний елемент АБО-НІ, логічний елемент АБО, комутатор адреси, блок визначення максимального порядку, який містить три регістри, віднімач, логічний елемент І, комутатор порядків, блок завантаження вхідних даних, який містить  $k$  регістрів порядку, де  $k$  - кількість пар добутків, та  $k$  регістрів мантис,  $k$  вузлів вирівнювання порядків та формування адресного розряду, а кожний  $s$ -й вузол, де  $s=1, \dots, k$ , містить регістр порядку, регістр мантиси, віднімач, схему порівняння та два комутатори, причому вхід максимального порядку макрочасткових добутків з'єднаний з входом регістра максимального порядку макрочасткових добутків, вихід якого з'єднаний з першим входом суматора порядків, перший вхід запису з'єднаний з тактовим входом регістра максимального порядку макрочасткових добутків, перший вхід управління з'єднаний з першим входом логічного елемента І блока визначення максимального порядку, перший тактовий вхід з'єднаний з тактовими входами регістра порядку і регістра більшого порядку блока визначення максимального порядку, тактовими входами  $k$  регістрів порядку та  $k$  регістрів мантиси блока завантаження вхідних даних, вхід порядку вхідного даного з'єднаний з входом  $k$ -го регістра порядку блока завантаження вхідних даних і входом регістра порядку блока визначення максимального порядку, вхід мантиси з'єднаний з входом  $k$ -го регістра мантиси блока завантаження вхідних даних, другий вхід управління з'єднаний з входами управління регістра мантиси  $k$  вузлів вирівнювання порядків та формування адресного розряду, другий вхід запису з'єднаний з тактовим входом регістра порядку  $k$  вузлів вирівнювання порядків та формування адресного розряду, з першим входом логічного елемента АБО, з тактовим входом регістра максимального порядку блока визначення максимального порядку і тактовим входом регістра порядку скалярного добутку, вихід якого з'єднаний з виходом порядку скалярного добутку, вхід адреси з'єднаний з входом регістра адреси, третій вхід запису з'єднаний з тактовими входами регістра адреси і регістра даних, вхід якого з'єднаний з входом даних, третій вхід управління з'єднаний з входом управління регістра даних і входом управління комутатора адреси, другі інформаційні входи якого з'єднані з виходами регістра адреси, вхід вибору режиму роботи пам'яті з'єднаний з входом читання/запису пам'яті і першим входом логічного елемента АБО-НІ, другий вхід якого з'єднаний з входом вибірки пам'яті, четвертий вхід управління з'єднаний з входом вибору режиму роботи суматора-віднімача макрочасткових добутків, другий тактовий вхід з'єднаний з другим входом логічного елемента АБО, з тактовим входом регістра макрочасткових добутків і з тактовим входом регістра мантиси скалярного добутку, вихід якого з'єднаний з виходом мантиси скалярного добутку, вхід скиду з'єднаний з входом скиду регістра мантиси скалярного добутку, вихід логічного елемента АБО з'єднаний з тактовим входом регістра мантиси  $k$  вузлів вирівнювання порядків та формування адресного розряду, вихід регістра даних з'єднаний з входом-виходом даних пам'яті, вихід суматора порядків з'єднаний з входом регістра порядку скалярного добутку, вихід логічного елемента АБО-НІ з'єднаний з входом вибірки пам'яті, адресні входи якої з'єднані з виходами комутатора адреси, у блоці завантаження вхідних даних вихід  $s$ -го регістра порядку з'єднаний з входом  $(s+1)$ -го регістра порядку і входом регістра порядку  $s$ -го вузла вирівнювання порядків та формування адресного розряду, вихід  $s$ -го регістра мантиси з'єднаний з входом  $(s+1)$ -го регістра мантиси і входом регістра мантиси  $s$ -го вузла вирівнювання порядків та формування адресного розряду, у блоці визначення максимального

порядку вихід регістра порядку з'єднаний з першим входом віднімача і першим входом комутатора порядків, другий вхід якого з'єднаний з другим входом віднімача і виходом регістра більшого порядку, вхід якого з'єднаний з входом регістра максимального порядку і виходом комутатора порядків, вхід управління якого з'єднаний з виходом логічного елемента І, другий вхід якого з'єднаний зі знаковим розрядом віднімача, вихід регістра максимального порядку з'єднаний з другим входом суматора порядків і першим входом віднімача у k вузлах вирівнювання порядків та формування адресного розряду, у кожному s-му вузлі вирівнювання порядків та формування адресного розряду вихід регістр порядку з'єднаний з другим входом віднімача, вихід якого з'єднаний з першим входом схеми порівняння, виходи q молодших розрядів ( $q = \lceil \log_2 n \rceil$ , де  $\lceil \rceil$  - знак округлення до більшого цілого) віднімача з'єднані з входом управління першого комутатора, 1-й, ..., n-й входи якого з'єднані з виходами відповідних розрядів регістра мантиси, знаковий розряд якого з'єднаний з першим входом другого комутатора, другий вхід якого з'єднаний з виходом першого комутатора, другі входи схеми порівняння з'єднані з лог. 0 та лог. 1, які задають число n, вхід управління другого комутатора з'єднаний з виходом схеми порівняння, вихід другого комутатора s-го вузла вирівнювання порядків та формування адресного розряду з'єднаний з входом s-го розряду першого входу комутатора адреси.

Введення в пристрій входу максимального порядку макрочасткових добутоків, трьох входів запису, чотирьох входів управління, двох тактових входів, входу порядку вхідного даного, входу мантиси вхідного даного, входу адреси, входу даних, входу вибору режиму роботи пам'яті, входу вибірки пам'яті, входу скиду, виходу порядку скалярного добутку, виходу мантиси скалярного добутку, чотирьох регістрів, суматора, логічного елемента АБО-НІ, логічного елемента АБО, комутатора адреси, блока визначення максимального порядку, який містить три регістри, віднімач, логічний елемент І, комутатор порядків блока завантаження вхідних даних, який містить k регістрів порядку, де k - кількість пар добутоків, k регістрів мантис, k вузлів вирівнювання порядків та формування адресного розряду, а в кожний s-й вузол, де  $s=1, \dots, k$ , регістра порядку, регістра мантиси, віднімача, схеми порівняння та двох комутаторів забезпечило обчислення скалярного добутку з наперед відомими множеними у форматі з рухомою комою та збільшення діапазону зміни величин вхідних даних.

На фіг. 1 представлена схема пристрою для обчислення скалярного добутку, на фіг. 2 - схема блока завантаження вхідних даних, на фіг. 3 - схема блока визначення максимального порядку, на фіг. 4 - схема вузла вирівнювання порядків та формування адресного розряду, де: 1 - вхід максимального порядку макрочасткових добутоків, 2 - перший вхід запису, 3 - перший вхід управління, 4 - перший тактовий вхід, 5 - вхід порядку вхідного даного, 6 - вхід мантиси вхідного даного, 7 - другий вхід управління, 8 - другий вхід запису, 9 - вхід адреси, 10 - третій вхід запису, 11 - вхід даних, 12 - третій вхід управління, 13 - вхід вибору режиму роботи пам'яті, 14 - вхід вибірки пам'яті, 15 - четвертий вхід управління, 16 - другий тактовий вхід, 17 - вхід скиду, 18 - регістр максимального порядку макрочасткових добутоків, 19 - блок завантаження вхідних даних, 20 - блок визначення максимального порядку, 21 - регістр адреси, 22 - регістр даних, 23 - логічний елемент АБО-НІ, 24-24<sub>k</sub>-k вузлів вирівнювання порядків та формування адресного розряду, де k - кількість пар добутоків, 25 - логічний елемент АБО, 26 - суматор порядків, 27 - комутатор адреси, 28 - пам'ять, 29 - регістр макрочасткових добутоків, 30 - суматор-віднімач макрочасткових добутоків, 31 - регістр порядку скалярного добутку, 32 - регістр мантиси скалярного добутку, 33 - вихід порядку скалярного добутку, 34 - вихід мантиси скалярного добутку, 35-35<sub>k</sub>-k регістрів порядку, 36-36<sub>k</sub>-k регістрів мантиси, 37 - регістр порядку, 38 - комутатор порядків, 39 - логічний елемент І, 40 - віднімач, 41 - регістр більшого порядку, 42 - регістр максимального порядку, 43 - регістр порядку, 44 - регістр мантиси, 45 - віднімач, 46 - перший комутатор, 47 - схема порівняння, 48 - другий комутатор.

Пристрій для обчислення суми парних добутоків з рухомою комою та наперед відомими множеними містить вхід максимального порядку макрочасткових добутоків 1, перший вхід запису 2, перший вхід управління 3, перший тактовий вхід 4, вхід порядку вхідного даного 5, вхід мантиси вхідного даного 6, другий вхід управління 7, другий вхід запису 8, вхід адреси 9, третій вхід запису 10, вхід даних 11, третій вхід управління 12, вхід вибору режиму роботи пам'яті 13, вхід вибірки пам'яті 14, четвертий вхід управління 15, другий тактовий вхід 16, вхід скиду 17, регістр максимального порядку макрочасткових добутоків 18, блок завантаження вхідних даних 19, блок визначення максимального порядку 20, регістр адреси 21, регістр даних 22, логічний елемент АБО-НІ 23, k вузлів вирівнювання порядків та формування адресного розряду 24<sub>1</sub>-24<sub>k</sub>, логічний елемент АБО 25, суматор порядків 26, комутатор адреси 27, пам'ять 28, регістр макрочасткових добутоків 29, суматор-віднімач макрочасткових добутоків 30, регістр порядку скалярного добутку 31, регістр мантиси скалярного добутку 32, вихід порядку скалярного

добутку 33, вихід мантиси скалярного добутку 34, блок завантаження вхідних даних 19, який містить  $k$  регістрів порядку  $35_1-35_k$  та  $k$  регістрів мантиси  $36_1-36_k$ , блок визначення максимального порядку 20, який містить регістр порядку 37, комутатор порядків 38, логічний елемент  $I$  39, віднімач 40, регістр більшого порядку 41, регістр максимального порядку 42, вузол вирівнювання порядків та формування адресного розряду  $24_s$ , де  $s=1, \dots, k$ , містить регістр порядку 43, регістр мантиси 44, віднімач 45, перший комутатор 46, схему порівняння 47 та другий комутатор 48.

Вхід максимального порядку макрочасткових добутків 1 з'єднаний з входом регістра максимального порядку макрочасткових добутків 18, вихід якого з'єднаний з першим входом суматора порядків 26, перший вхід запису 2 з'єднаний з тактовим входом регістра максимального порядку макрочасткових добутків 18, перший вхід управління 3 з'єднаний з першим входом логічного елемента 39 блок визначення максимального порядку 20, перший тактовий вхід 4 з'єднаний з тактовими входами регістра порядку 37 і регістра більшого порядку 41 блока визначення максимального порядку 20, тактовими входами  $k$  регістрів порядку  $35_1-35_k$  та  $k$  регістрів мантиси  $36_1-36_k$  блока завантаження вхідних даних 19, вхід порядку вхідного даного 5 з'єднаний з входом регістра порядку  $35_k$  блока завантаження вхідних даних 19 і входом регістра порядку 37 блока визначення максимального порядку 20, вхід мантиси вхідного даного 6 з'єднаний з входом регістра мантиси  $36_k$  блока завантаження вхідних даних 19, другий вхід управління 7 з'єднаний з входами управління регістра мантиси 44 у  $k$  вузлах вирівнювання порядків та формування адресного розряду  $24_1-24_k$ , другий вхід запису 8 з'єднаний з тактовим входом регістра порядку 43 у  $k$  вузлах вирівнювання порядків та формування адресного розряду  $24_1-24_k$ , з першим входом логічного елемента АБО 25, з тактовим входом регістра максимального порядку 42 блока визначення максимального порядку 20 і тактовим входом регістра порядку скалярного добутку 31, вихід якого з'єднаний з виходом порядку скалярного добутку 33, вхід адреси 9 з'єднаний з входом регістра адреси 21, третій вхід запису 10 з'єднаний з тактовими входами регістра адреси 21 і регістра даних 22, вхід якого з'єднаний з входом даних 11, третій вхід управління 12 з'єднаний з входом управління регістра даних 22 і входом управління комутатора адреси 27, другі інформаційні входи якого з'єднані з виходами регістра адреси 21, вхід вибору режиму роботи пам'яті 13 з'єднаний з входом читання/запису пам'яті 28 і першим входом логічного елемента АБО-НІ 23, другий вхід якого з'єднаний з входом вибірки пам'яті 14, четвертий вхід управління 15 з'єднаний з входом вибору режиму роботи суматора-віднімача макрочасткових добутків 30, другий тактовий вхід 16 з'єднаний з другим входом логічного елемента АБО 25, тактовим входом регістра макрочасткових добутків 29 і тактовим входом регістра мантиси скалярного добутку 32, вихід якого з'єднаний з зсувом вправо на один розряд з другим входом суматора-віднімача макрочасткових добутків 30 і виходом мантиси скалярного добутку 34, вхід скиду 17 з'єднаний з входом скиду регістра мантиси скалярного добутку 32, вихід логічного елемента АБО 25 з'єднаний з тактовим входом регістра мантиси 44  $k$  вузлів вирівнювання порядків та формування адресного розряду  $24_1-24_k$ , вихід регістра даних 22 з'єднаний з входом-виходом даних пам'яті 28 і входом регістра макрочасткових добутків 29, вихід якого з'єднаний з першим входом суматора-віднімача макрочасткових добутків 30, вихід якого з'єднаний з входом регістра мантиси скалярного добутку 32, вихід суматора порядків 26 з'єднаний з входом регістра порядку скалярного добутку 31, вихід логічного елемента АБО-НІ 23 з'єднаний з входом вибірки пам'яті 28, адресні входи якої з'єднані з виходами комутатора адреси 27, у блоці завантаження вхідних даних 19 вихід  $s$ -го регістра порядку  $35_s$ , де  $s=1, \dots, k$ , з'єднаний з входом  $(s+1)$ -го регістра порядку  $35_{s+1}$  і входом регістра порядку 43  $s$ -го вузла вирівнювання порядків та формування адресного розряду  $24_s$ , вихід  $s$ -го регістра мантиси  $36_s$  з'єднаний з входом  $(s+1)$ -го регістра мантиси  $36_{s+1}$  і входом регістра мантиси 44  $s$ -го вузла вирівнювання порядків та формування адресного розряду  $24_s$ , у блоці визначення максимального порядку 21 вихід регістра порядку 37 з'єднаний з першим входом віднімача 40 і першим входом комутатора порядків 38, другий вхід якого з'єднаний з другим входом віднімача 40 і виходом регістра більшого порядку 41, вхід якого з'єднаний з входом регістра максимального порядку 42 і виходом комутатора порядків 38, вхід управління якого з'єднаний з виходом логічного елемента  $I$  39, другий вхід якого з'єднаний зі знаковим розрядом віднімача 40, вихід регістра максимального порядку 42 з'єднаний з другим входом суматора порядків 26 і першим входом віднімача 45 у  $k$  вузлах вирівнювання порядків та формування адресного розряду  $24_1-24_k$ , у кожному  $s$ -му вузлі вирівнювання порядків та формування адресного розряду  $24_s$  вихід регістра порядку 43 з'єднаний з другим входом віднімача 45, вихід якого з'єднаний з першим входом схеми порівняння 47, виходи  $q$  молодших розрядів ( $q = \lceil \log_2 n \rceil$ , де  $\lceil \cdot \rceil$  - знак округлення до більшого цілого) з'єднані з входом управління першого комутатора 46, 1-й, ...,  $n$  входи якого з'єднані з виходами відповідних розрядів регістра мантиси 44, знаковий розряд

якого з'єднаний з першим входом другого комутатора 48, другий вхід якого з'єднаний з виходом першого комутатора 46, другі входи схеми порівняння 47 з'єднані з лог. 0 та лог. 1, які задають число  $n$ , вхід управління другого комутатора 48 з'єднаний з виходом схеми порівняння 47, вихід другого комутатора 48  $s$ -го вузла вирівнювання порядків та формування адресного розряду  $24_s$  з'єднаний з входом  $s$ -го розряду першого входу комутатору адреси 27.

Пристрій для обчислення скалярного добутку працює наступним чином.

Обчислення скалярного добутку у форматі з рухомою комою записується так:

$$Y = W_1 X_1 + W_2 X_2 + \dots + W_k X_k = w_1 2^{m_{w1}} x_1 2^{m_{x1}} + w_2 2^{m_{w2}} x_2 2^{m_{x2}} + \dots + w_k 2^{m_{wk}} x_k 2^{m_{xk}}, \text{ де } w_s \text{ і } m_{w_s} -$$

відповідно, мантиса та порядок множеного  $W_s$ ;  $x_s$  і  $m_{x_s}$  – відповідно, мантиса та порядок вхідного даного (множника)  $X_s$ ;  $k$  - кількість пар добутків,  $s=1, \dots, k$ . Для обчислення скалярного добутку з наперед відомими множеними  $W_s$  використаємо таблично-алгоритмічний метод, який передбачає попереднє обчислення таблиць макрочасткових добутків мантис  $p_{mi}$  і визначення

максимального значення порядку макрочасткових добутків  $\max m_{p_{mi}}$  ( $i=0, \dots, n$ , де  $n$  - розрядність мантис множників  $x_s$ ). Попереднє обчислення таблиць макрочасткових добутків мантис  $p_{mi}$  і

визначення максимального значення порядку макрочасткових добутків  $\max m_{p_{mi}}$  виконується так:

1) визначається найбільший спільний порядок  $m_{w_{\max}}$ ;

2) для кожного множеного  $W_s$  обчислюється різниця порядків  $\Delta m_{w_s} = m_{w_{\max}} - m_{w_s}$ ;

3) отримання масштабованої мантиси  $w_s^h$  шляхом зсуву вправо мантиси  $w_s$  на різницю порядків  $\Delta m_{w_s}$ ;

4) попереднє обчислення таблиць макрочасткових добутків мантисам за такою формулою:

$$p_{mi} = \begin{cases} 0, \text{ якщо } x_{1i} = x_{2i} = x_{3i} = \dots = x_{ki} = 0 \\ w_1^h, \text{ якщо } x_{1i} = 1, x_{2i} = x_{3i} = \dots = x_{ki} = 0 \\ w_2^h, \text{ якщо } x_{1i} = 0, x_{2i} = 1, x_{3i} = \dots = x_{ki} = 0 \\ w_1^h + w_2^h, \text{ якщо } x_{1i} = 1, x_{2i} = 1, x_{3i} = \dots = x_{ki} = 0 \\ \vdots \\ w_2^h + \dots + w_k^h, \dots \text{ якщо } x_{1i} = 0, x_{2i} = x_{3i} = \dots = x_{ki} = 1 \\ w_1^h + w_2^h + \dots + w_k^h, \text{ якщо } x_{1i} = x_{2i} = x_{3i} = \dots = x_{ki} = 1 \end{cases};$$

5) визначення максимальної кількості розрядів переповнення  $v_{\max}$  серед таблиці з  $Q=2^k$  обчислених макрочасткового добутку  $p_{mi}$ ,

6) обчислення максимального значення порядку макрочасткових добутків за такою формулою:  $m_{p_{mi}} = m_{w_{\max}} + v_{\max}$ ;

7) вирівнювання всіх мантис макрочасткових добутків  $p_{mi}$  шляхом зсуву їх вправо на  $v_{\max}$  розрядів;

8) завершальне формування таблиці обсягом  $Q=2^k$  макрочасткових добутків мантис  $p_{mi}$ .

Перед обчисленням скалярного добутку необхідно записати обчислені макрочасткові добутки мантис  $p_{mi}$  у пам'ять 28, а максимальне значення порядку макрочасткових добутків у

регістр 18. Максимальне значення порядку макрочасткових добутків  $(\max m_{p_{mi}})$  надходить на вхід 1 і імпульсом з входу 2 записується у регістр 18. Для запису макрочасткових добутків мантис  $p_{mi}$  у пам'ять 28 на третьому вході управління 12 встановлюємо сигнал лог.1, який переводять регістр 22 у режим передачі даних, а комутатор 27 на передачу адреси з виходів регістра 21. На вході 13 устанавлюємо лог.0, який переводить пам'ять 26 у режим запису даних.

У першому циклі запису даних у пам'ять 28 на входи 9 і 11 надходять нулі, які переднім фронтом сигналу з входу 10 записуються в регістри 19 і 20. Імпульсом з входу 14 дані з виходів регістра 20 (нуль) записуються в комірку пам'яті 28 з адресою нуль. У другому циклі запису даних у пам'ять 28 на вхід 9 надходить одиниця, на вхід 11 макрочастковий добуток мантис

$(w_1^h)$ , які сигналом з входу 10 записуються в регістри 21 і 22. Імпульсом з входу 14 дані з виходів регістра 22  $(w_1^h)$  записуються в комірку пам'яті 28 з адресою одиниця. У наступних циклах виконується запис  $(2^k-2)$  обчислених макрочасткових добутків мантис у пам'ять 28. Після

запису всіх макрочасткових добутоків мантис у пам'ять 28 на вході 12 встановлюється лог.0, який переводить виходи регістра 22 у третій стан, а комутатор 27 на передачу адреси з виходів вузлів 24<sub>1</sub>-24<sub>к</sub>. На вході 13 встановлюємо сигнал лог.1, який встановлює пам'ять 26 у режим читання, а вхід вибору пам'яті в активний стан (лог.0).

- 5 Обчислення скалярного добутку виконується в два етапи: перший - завантаження к вхідних даних  $X_1, \dots, X_k$  і визначення для них максимального показника  $\max m_x$ , другий - виконання обчислення скалярного добутку  $Y$ .

На першому етапі у першому такті роботи перші вхідні дані надходять на вхід 5 (показник) і вхід 6 (мантиса) та тактовим імпульсом з входу 4 у блоці завантаження вхідних даних 19 показник записується у регістр 35<sub>к</sub>, а мантиса записується в регістр 36<sub>к</sub>. У другому такті роботи на вході 3 встановлюється сигнал лог.0, який установлює комутатор 38 в блоці визначення максимального порядку 20 на передачу даних з виходів регістра 37, а на входи 5 і 6 надходить наступне вхідне дане  $X_2$ . Другим тактовим імпульсом показник числа  $X_2$  записується у регістр 35<sub>к</sub>, а мантиса цього числа записується в регістр 36<sub>к</sub>. Тим же тактовим імпульсом інформація з виходів регістрів 35<sub>к</sub> і 36<sub>к</sub> переписується у регістри 35<sub>к-1</sub> і 36<sub>к-1</sub>, а у блоці визначення максимального порядку 20 показник з виходу регістра 37 у регістр 41. У третьому такті роботи на вході 3 встановлюється сигнал лог.1, який дозволяє виходу знакового розряду віднімача 40 управляти комутатором 38. На виході знакового розряду віднімача 40 отримуємо лог.0, коли значення показника регістра 41 більше або рівне значенню показника записаного у регістрі 37, а в іншому випадку отримуємо лог.1. Третім тактовим імпульсом показник числа  $X_3$  записується у регістри 35<sub>к</sub>, а мантиса цього числа записується в регістр 36<sub>к</sub>. Тим же тактовим імпульсом інформація з виходів попередніх регістрів 35 і 36 переписується у наступні регістри 35 і 36, а показник з виходу комутатора 38 у регістр 41. У наступні  $k-3$  такти роботи блок завантаження вхідних даних 19 і блок визначення максимального порядку вхідних даних 20 працюють аналогічно. Після  $k$ -го тактового імпульсу з виходу 4 на виходах регістрів 35<sub>1</sub>-35<sub>к</sub> і 36<sub>1</sub>-36<sub>к</sub> отримуємо к вхідних даних  $X_1, \dots, X_k$ , а на виході комутатора 38 - максимальний їх порядок. На вході 7 встановлюється сигнал лог.1, який встановлює регістр 44 у вузлах 24<sub>1</sub>-24<sub>к</sub> у режим паралельного запису. Переднім фронтом імпульсу з входу 8 вхідні дані  $X_1, \dots, X_k$  з виходів регістрів 35<sub>1</sub>-35<sub>к</sub> і 36<sub>1</sub>-36<sub>к</sub> переписуються у регістри 43 (порядок) і 44 (мантиса) вузлів 24<sub>1</sub>-24<sub>к</sub>. Також переднім фронтом даного імпульсу максимальний показник вхідних даних записується у регістр 42. Заднім фронтом імпульсу з входу 8 у регістр 31 записується порядок  $m_y$  результату обчислення скалярного добутку, який дорівнює сумі максимальних порядків макрочасткових добутоків і вхідних даних  $m_y = \max m_{P_{Mi}} + \max m_x$ .

Для виконання другого етапу обчислення скалярного добутку  $Y$  на виходах 7 і 15 встановлюється сигнал лог.0, який переводить суматор-віднімач 30 у режим додавання, а регістри 44 у вузлах 24<sub>1</sub>-24<sub>к</sub> у режим зсуву вправо. У кожному вузлі 24<sub>s</sub>, де  $s=1, \dots, k$ , обчислюється різниця порядку  $r_s = \max m_x - m_x$  шляхом віднімання від максимального значення порядку вхідних даних  $\max m_x$  значення порядку числа  $X_s$ . Отримана різниця  $r_s$  за допомогою схеми порівняння 47 порівнюється із значенням  $n$ . У випадку, коли  $r_s$  більше або рівне  $n$  на виході схеми порівняння 47 отримуємо лог.1, яка встановлює комутатор 48 на передачу даних із знакового розряду регістра 44, а коли  $r_s$  менше  $n$ , то на виході схеми порівняння 47 отримуємо лог.0, який встановлює комутатор 48 на передачу даних з виходу комутатора 46. На управляючий вхід комутатора 46 надходять  $q$  молодших розрядів ( $q = \lceil \log_2 n \rceil$ , де  $\lceil \cdot \rceil$  - знак округлення до більшого цілого) різниці  $r_s$ , які вибирають розряд регістра 44, з якого буде надходити інформація на вихід комутатора 46. При  $r_s=0$  на вихід комутатора 46 надходить значення  $n$ -го розряду регістра 44, а при  $r_s=n-1$  - значення 1-го розряду регістра 44. На виходах комутаторів 48 вузлів 24<sub>1</sub>-24<sub>к</sub> отримуємо розрядний зріз мантис вхідних даних, починаючи з молодших розрядів, які надходять на адресні входи пам'яті 28.

У першому такті обчислення скалярного добутку з пам'яті 28 зчитується мантиса макрочасткового добутку  $r_{Mn}$ , яка першим тактовим імпульсом з входу 16 записується у регістр 29. Також першим тактовим імпульсом виконується зсув на один розряд вправо даних, записаних у регістрах 44 вузлів 24<sub>1</sub>-24<sub>к</sub>. Імпульсом з входу 17 регістр 32 скидається у нуль.

У другому такті роботи другим тактовим імпульсом з входу 16 у регістр 29 записується зчитана з пам'яті 26 мантиса макрочасткового добутку  $r_{Mn-1}$ , а у регістр 32 - макрочастковий добуток  $r_{Mn}$  з виходу суматора- віднімача 30. Також другим тактовим імпульсом виконується зсув на один розряд вправо даних, записаних у регістрах 44 вузлів 24<sub>1</sub>-24<sub>к</sub>. У наступних  $n-2$  тактах обчислення скалярного добутку виконується за формулою  $y_i = 2^{-1} y_{i-1} + r_{Mi}$ , де  $y_0 = 0$ .

У  $(n+1)$ -такті обчислення з пам'яті 28 зчитується мантиса макрочасткового добутку  $r_{M0}$ , яка  $(n+1)$ -м тактом імпульсом записується у регістр 29. Також  $(n+1)$ -м тактовим імпульсом у регістр 32 записується  $y_n$  частковий результат обчислення мантиси скалярного добутку. У  $(n+2)$  такті

обчислення сигнал лог.1, який надходить з виходу 15 переводить суматор-віднімач 30 у режим віднімання. На виході суматора-віднімача 30 отримуємо мантису результату обчислення скалярного добутку  $u_{n+1}$ , яка  $(n+2)$ -м тактовим імпульсом записується у регістр 32.

Після  $(n+2)$ -го тактового імпульсу з входу 16 на виході регістра 32 отримуємо результат обчислення мантиси скалярного добутку.

У розробленому пристрої обчислення скалярного добутку для одиночного масиву даних виконується за час, який визначається наступною формулою:

$$t_{CD} = t_{1Em} + t_{2Em} = k(t_{Pr} + t_{Bd} + t_1 + t_{Km}) + (n+2)(t_{ABO} + t_{Pr} + 3t_{Km} + t_{Пам}),$$

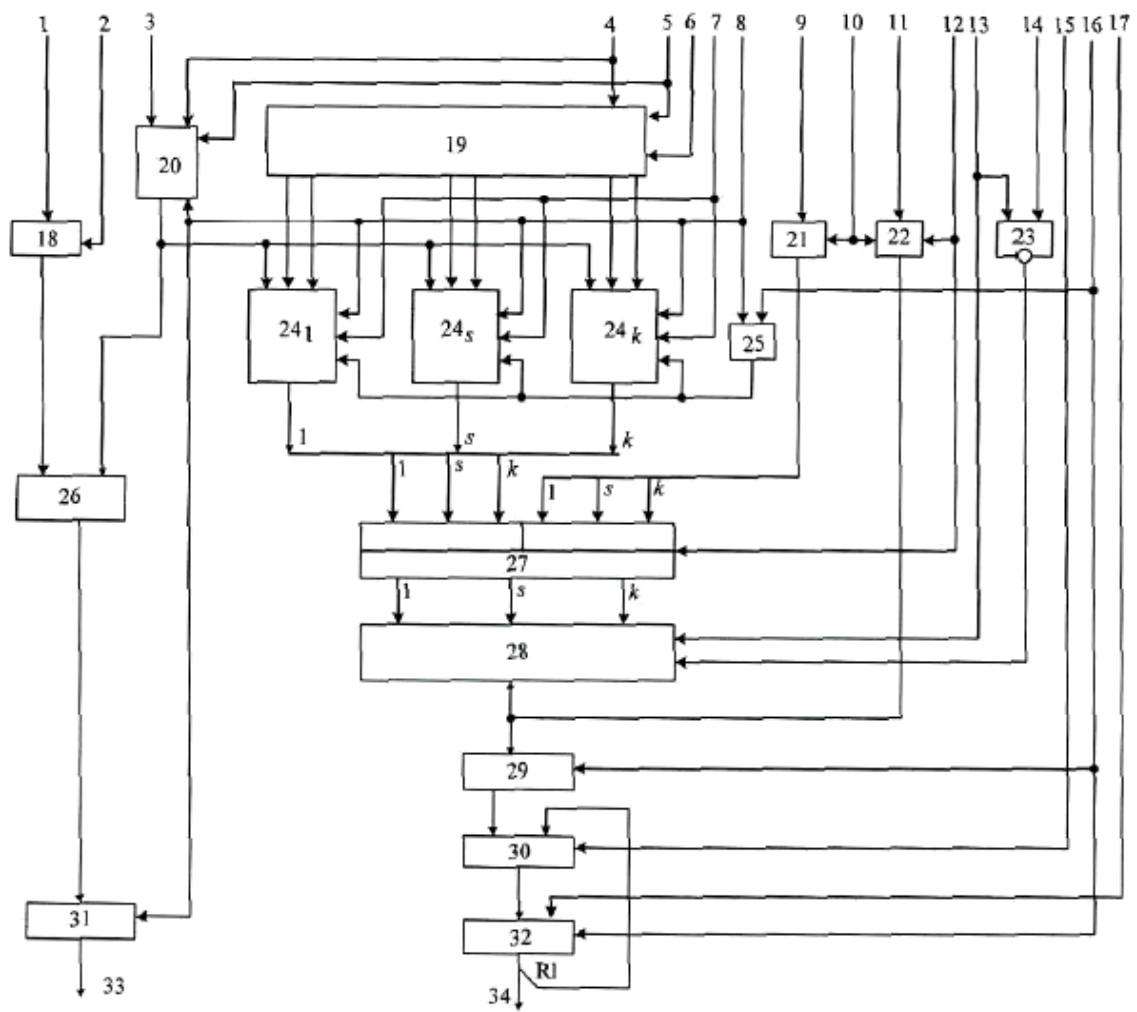
де  $t_{1Em}$  - час виконання першого етапу - завантаження вхідних даних і визначення їх максимального порядку,  $t_{2Em}$  - час виконання другого етапу - обчислення скалярного добутку,  $k$  - кількість пар добутків (вхідних даних),  $t_{Pr}$  - час звертання до регістра,  $t_{Bd}$  - час віднімання,  $t_1$  - час затримки логічного елемента І,  $t_{Km}$  - час затримки інформації на комутаторі,  $n$  - розрядність мантис множників,  $t_{ABO}$  - час затримки інформації на логічному елементі АБО,  $t_{Пам}$  - час звертання до пам'яті.

У розробленому пристрої при обчисленні скалярного добутку для потоків даних здійснюється суміщення у часі виконання першого етапу (завантаження вхідних даних  $(i+1)$ -о масиву) із виконанням другого (обчислення скалярного добутку для  $i$ -о масиву), тобто конвеєризація процесу обчислення. Для конвеєризації обчислення скалярного добутку і забезпечення режиму реального часу необхідно, щоб час  $t_{1Em}$  був більший або рівним часу  $t_{2Em}$ . У такому випадку обчислення скалярного добутку у форматі з рухомою комою для потоків даних буде здійснюватися з тактом  $T_K = t_{1Em}$ .

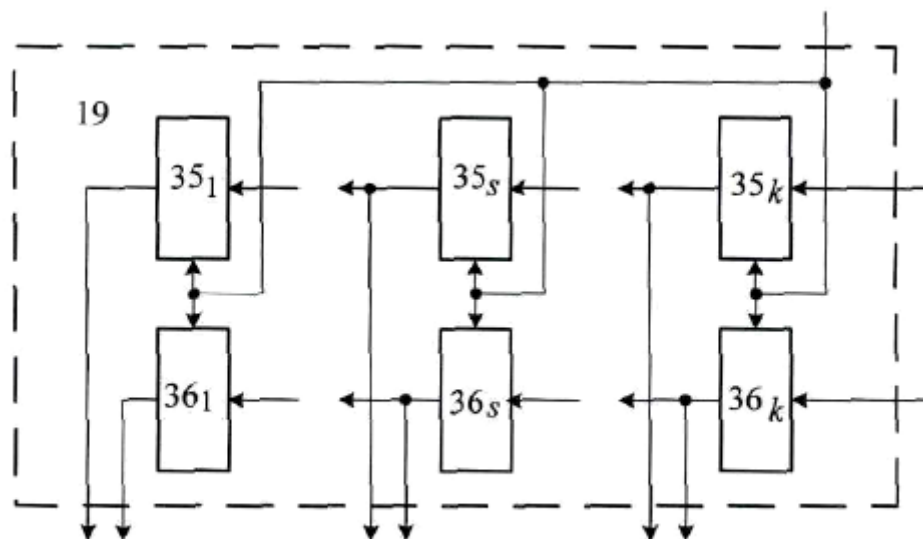
#### ФОРМУЛА ВИНАХОДУ

Пристрій для обчислення скалярного добутку, який містить регістр макрочасткових добутків, суматор-віднімач макрочасткових добутків, регістр мантиси скалярного добутку, пам'ять, входи-виходи даних якої з'єднані з входами регістра макрочасткових добутків, виходи якого з'єднані з першим входом суматора-віднімача, вихід якого з'єднаний з входом регістра мантиси скалярного добутку, вихід якого з'єднаний з зсувом вправо на один розряд з другим входом суматора-віднімача макрочасткових добутків, який **відрізняється** тим, що додатково містить вхід максимального порядку макрочасткових добутків, три входи запису, чотири входи управління, два тактових входи, вхід порядку вхідного даного, вхід мантиси вхідного даного, вхід адреси, вхід даних, вхід вибору режиму роботи пам'яті, вхід вибірки пам'яті, вхід скиду, вихід порядку скалярного добутку, вихід мантиси скалярного добутку, чотири регістри, суматор, логічний елемент АБО-НІ, логічний елемент АБО, комутатор адреси, блок визначення максимального порядку, який містить три регістри, віднімач, логічний елемент І, комутатор порядків, блок завантаження вхідних даних, який містить  $k$  регістрів порядку, де  $k$  - кількість пар добутків, та  $k$  регістрів мантис,  $k$  вузлів вирівнювання порядків та формування адресного розряду, а кожний  $s$ -й вузол, де  $s=1, \dots, k$ , містить регістр порядку, регістр мантиси, віднімач, схему порівняння та два комутатори, причому вхід максимального порядку макрочасткових добутків з'єднаний з входом регістра максимального порядку макрочасткових добутків, вихід якого з'єднаний з першим входом суматора порядків, перший вхід запису з'єднаний з тактовим входом регістра максимального порядку макрочасткових добутків, перший вхід управління з'єднаний з першим входом логічного елемента І блока визначення максимального порядку, перший тактовий вхід з'єднаний з тактовими входами регістра порядку і регістра більшого порядку блока визначення максимального порядку, тактовими входами  $k$  регістрів порядку та  $k$  регістрів мантиси блока завантаження вхідних даних, вхід порядку вхідного даного з'єднаний з входом  $k$ -го регістра порядку блока завантаження вхідних даних і входом регістра порядку блока визначення максимального порядку, вхід мантиси з'єднаний з входом  $k$ -го регістра мантиси блока завантаження вхідних даних, другий вхід управління з'єднаний з входами управління регістра мантиси  $k$  вузлів вирівнювання порядків та формування адресного розряду, другий вхід запису з'єднаний з тактовим входом регістра порядку  $k$  вузлів вирівнювання порядків та формування адресного розряду, з першим входом логічного елемента АБО, з тактовим входом регістра максимального порядку блока визначення максимального порядку і тактовим входом регістра порядку скалярного добутку, вихід якого з'єднаний з виходом порядку скалярного добутку, вхід адреси з'єднаний з входом регістра адреси, третій вхід запису з'єднаний з тактовими входами регістра адреси і регістра даних, вхід якого з'єднаний з входом даних, третій вхід управління з'єднаний з входом управління регістра даних і входом управління комутатора адреси, другі інформаційні входи якого з'єднані з виходами регістра адреси, вхід вибору режиму роботи пам'яті з'єднаний з входом читання/запису пам'яті і першим входом

логічного елемента АБО-НІ, другий вхід якого з'єднаний входом вибірки пам'яті, четвертий вхід управління з'єднаний з входом вибору режиму роботи суматора-віднімача макрочасткових добутоків, другий тактовий вхід з'єднаний з другим входом логічного елемента АБО, з тактовим входом регістра макрочасткових добутоків і з тактовим входом регістра мантиси скалярного добутку, вихід якого з'єднаний з виходом мантиси скалярного добутку, вхід скиду з'єднаний з входом скиду регістра мантиси скалярного добутку, вихід логічного елемента АБО з'єднаний з тактовим входом регістра мантиси  $k$  вузлів вирівнювання порядків та формування адресного розряду, вихід регістра даних з'єднаний з входом-виходом даних пам'яті, вихід суматора порядків з'єднаний з входом регістра порядку скалярного добутку, вихід логічного елемента АБО-НІ з'єднаний з входом вибірки пам'яті, адресні входи якої з'єднані з виходами комутатора адреси, у блоці завантаження вхідних даних вихід  $s$ -го регістра порядку з'єднаний з входом  $(s+1)$ -го регістра порядку і входом регістра порядку  $s$ -го вузла вирівнювання порядків та формування адресного розряду, вихід  $s$ -го регістра мантиси з'єднаний з входом  $(s+1)$ -го регістра мантиси і входом регістра мантиси  $s$ -го вузла вирівнювання порядків та формування адресного розряду, у блоці визначення максимального порядку вихід регістра порядку з'єднаний з першим входом віднімача і першим входом комутатора порядків, другий вхід якого з'єднаний з другим входом віднімача і виходом регістра більшого порядку, вхід якого з'єднаний з входом регістра максимального порядку і виходом комутатора порядків, вхід управління якого з'єднаний з виходом логічного елемента І, другий вхід якого з'єднаний зі знаковим розрядом віднімача, вихід регістра максимального порядку з'єднаний з другим входом суматора порядків і першим входом віднімача у  $k$  вузлах вирівнювання порядків та формування адресного розряду, у кожному  $s$ -му вузлі вирівнювання порядків та формування адресного розряду вихід регістра порядку з'єднаний з другим входом віднімача, вихід якого з'єднаний з першим входом схеми порівняння, виходи  $q$  молодших розрядів, де  $q = \lceil \log_2 n \rceil$ , де  $\lceil \cdot \rceil$  - знак округлення до більшого цілого, віднімача з'єднані з входом управління першого комутатора, 1-й, ...,  $n$ -й входи якого з'єднані з виходами відповідних розрядів регістра мантиси, знаковий розряд якого з'єднаний з першим входом другого комутатора, другий вхід якого з'єднаний з виходом першого комутатора, другі входи схеми порівняння з'єднані з лог. 0 та лог. 1, які задають число  $n$ , вхід управління другого комутатора з'єднаний з виходом схеми порівняння, вихід другого комутатора  $s$ -го вузла вирівнювання порядків та формування адресного розряду з'єднаний з входом  $s$ -го розряду першого входу комутатора адреси.



Фиг. 1



Фиг. 2

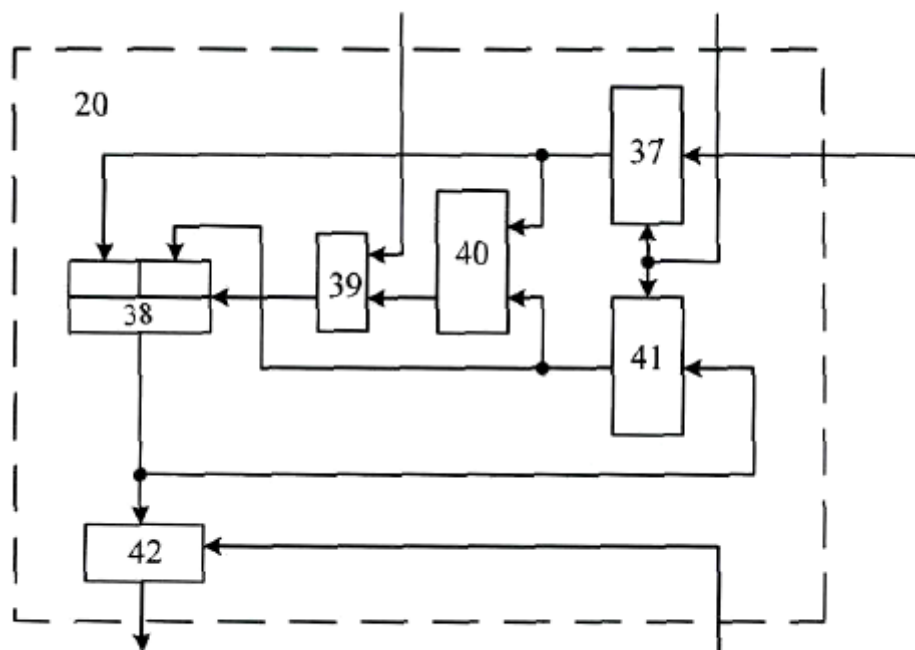


Fig. 3

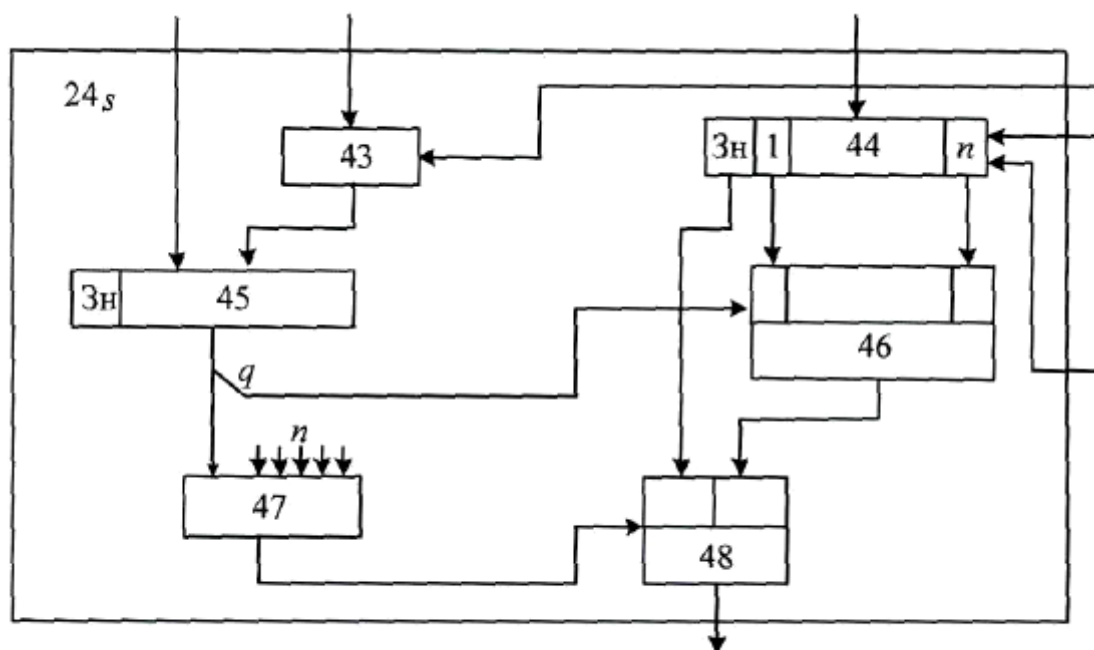


Fig. 4