

Пристрій для обчислення скалярного добутку, який містить регістр макрочасткових добутоків, суматор-віднімач макрочасткових добутоків, регістр мантиси скалярного добутку, пам'ять, входи-виходи даних якої з'єднані з входами регістра макрочасткових добутоків, виходи якого з'єднані з першим входом суматора-віднімача, вихід якого з'єднаний з входом регістра мантиси скалярного добутку, вихід якого з'єднаний з зсувом вправо на один розряд з другим входом суматора-віднімача макрочасткових добутоків, який **відрізняється** тим, що додатково містить вхід максимального порядку макрочасткових добутоків, три входи запису, чотири входи управління, два тактових входи, вхід порядку вхідного даного, вхід мантиси вхідного даного, вхід адреси, вхід даних, вхід вибору режиму роботи пам'яті, вхід вибірки пам'яті, вхід скиду, вихід порядку скалярного добутку, вихід мантиси скалярного добутку, чотири регістри, суматор, логічний елемент АБО-НІ, логічний елемент АБО, комутатор адреси, блок визначення максимального порядку, який містить три регістри, віднімач, логічний елемент І, комутатор порядків, блок завантаження вхідних даних, який містить k регістрів порядку, де k - кількість пар добутоків, та k регістрів мантис, k вузлів вирівнювання порядків та формування адресного розряду, а кожний s -й вузол, де $s=1, \dots, k$, містить регістр порядку, регістр мантиси, віднімач, схему порівняння та два комутатори, причому вхід максимального порядку макрочасткових добутоків з'єднаний з входом регістра максимального порядку макрочасткових добутоків, вихід якого з'єднаний з першим входом суматора порядків, перший вхід запису з'єднаний з тактовим входом регістра максимального порядку макрочасткових добутоків, перший вхід управління з'єднаний з першим входом логічного елемента І блока визначення максимального порядку, перший тактовий вхід з'єднаний з тактовими входами регістра порядку і регістра більшого порядку блока визначення максимального порядку, тактовими входами k регістрів порядку та k регістрів мантиси блока завантаження вхідних даних, вхід порядку вхідного даного з'єднаний з входом k -го регістра порядку блока завантаження вхідних даних і входом регістра порядку блока визначення максимального порядку, вхід мантиси з'єднаний з входом k -го регістра мантиси блока завантаження вхідних даних, другий вхід управління з'єднаний з входами управління регістра мантиси k вузлів вирівнювання порядків та формування адресного розряду, другий вхід запису з'єднаний з тактовим входом регістра порядку k вузлів вирівнювання порядків та формування адресного розряду, з першим входом логічного елемента АБО, з тактовим входом регістра максимального порядку блока визначення максимального порядку і тактовим входом регістра порядку скалярного добутку, вихід якого з'єднаний з виходом порядку скалярного добутку, вхід адреси з'єднаний з входом регістра адреси, третій вхід запису з'єднаний з тактовими входами регістра адреси і регістра даних,

вхід якого з'єднаний з входом даних, третій вхід управління з'єднаний з входом управління регістра даних і входом управління комутатора адреси, другі інформаційні входи якого з'єднані з виходами регістра адреси, вхід вибору режиму роботи пам'яті з'єднаний з входом читання/запису пам'яті і першим входом логічного елемента АБО-НІ, другий вхід якого з'єднаний з входом вибірки пам'яті, четвертий вхід управління з'єднаний з входом вибору режиму роботи суматора-віднімача макрочасткових добутоків, другий тактовий вхід з'єднаний з другим входом логічного елемента АБО, з тактовим входом регістра макрочасткових добутоків і з тактовим входом регістра мантиси скалярного добутку, вихід якого з'єднаний з виходом мантиси скалярного добутку, вхід скиду з'єднаний з входом скиду регістра мантиси скалярного добутку, вихід логічного елемента АБО з'єднаний з тактовим входом регістра мантиси k вузлів вирівнювання порядків та формування адресного розряду, вихід регістра даних з'єднаний з входом-виходом даних пам'яті, вихід суматора порядків з'єднаний з входом регістра порядку скалярного добутку, вихід логічного елемента АБО-НІ з'єднаний з входом вибірки пам'яті, адресні входи якої з'єднані з виходами комутатора адреси, у блоці завантаження вхідних даних вихід s -го регістра порядку з'єднаний з входом $(s+1)$ -го регістра порядку і входом регістра порядку s -го вузла вирівнювання порядків та формування адресного розряду, вихід s -го регістра мантиси з'єднаний з входом $(s+1)$ -го регістра мантиси і входом регістра мантиси s -го вузла вирівнювання порядків та формування адресного розряду, у блоці визначення максимального порядку вихід регістра порядку з'єднаний з першим входом віднімача і першим входом комутатора порядків, другий вхід якого з'єднаний з другим входом віднімача і виходом регістра більшого порядку, вхід якого з'єднаний з входом регістра максимального порядку і виходом комутатора порядків, вхід управління якого з'єднаний з виходом логічного елемента І, другий вхід якого з'єднаний зі знаковим розрядом віднімача, вихід регістра максимального порядку з'єднаний з другим входом суматора порядків і першим входом віднімача у k вузлах вирівнювання порядків та формування адресного розряду, у кожному s -му вузлі вирівнювання порядків та формування адресного розряду вихід регістра порядку з'єднаний з другим входом віднімача, вихід якого з'єднаний з першим входом схеми порівняння, виходи q молодших розрядів, де $q = \lceil \log_2 n \rceil$, де $\lceil \rceil$ - знак округлення до більшого цілого, віднімача з'єднані з входом управління першого комутатора, 1-й, ..., n -й входи якого з'єднані з виходами відповідних розрядів регістра мантиси, знаковий розряд якого з'єднаний з першим входом другого комутатора, другий вхід якого з'єднаний з виходом першого комутатора, другі входи схеми порівняння з'єднані з лог. 0 та лог. 1, які задають число n , вхід управління другого комутатора з'єднаний з виходом схеми порівняння, вихід другого комутатора s -го вузла вирівнювання порядків та

формування адресного розряду з'єднаний з входом s -го розряду першого входу комутатора адреси.