



УКРАЇНА

(19) UA

(11) 162875

(13) U

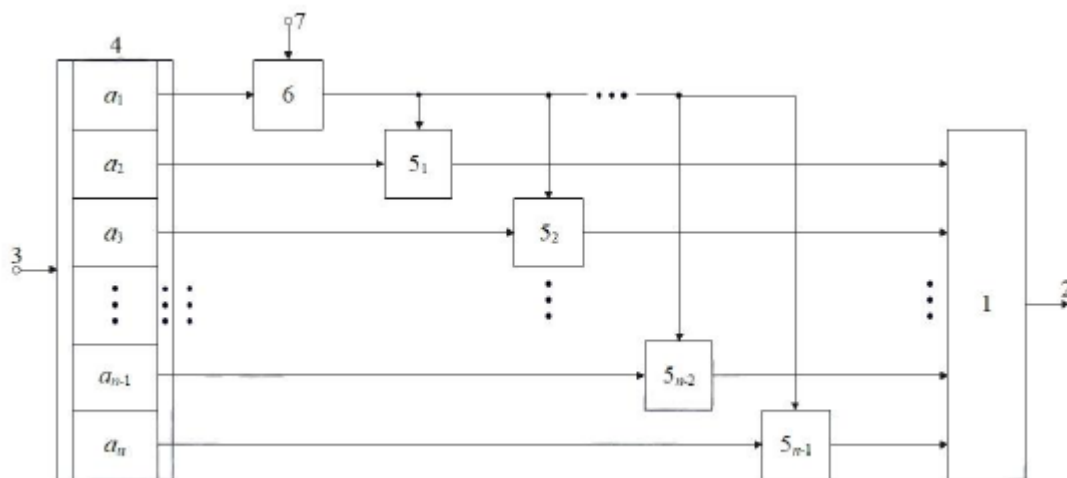
(51) МПК

G06F 11/08 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ**(21)** Номер заявки: **u 2025 01939****(22)** Дата подання заявки: **29.04.2025****(24)** Дата, з якої є чинними
права інтелектуальної
власності: **07.05.2026****(46)** Публікація відомостей
про державну
реєстрацію: **06.05.2026, Бюл.№ 18****(72)** Винахідник(и):**Янко Аліна Сергіївна (UA),
Краснобаєв Віктор Анатолійович (UA),
Лактіонов Олександр Ігорович (UA),
Глушко Аліна Дмитрівна (UA)****(73)** Володілець (володільці):**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
"ПОЛТАВСЬКА ПОЛІТЕХНІКА ІМЕНІ ЮРІЯ
КОНДРАТЮКА",
просп. Віталія Грицаєнка, 24, м. Полтава,
36011 (UA)****(74)** Представник:**Пашко Марія Юрївна****(54) ПРИСТРІЙ ДЛЯ КОНТРОЛЮ ПОМИЛОК ДАНИХ, ЩО ПРЕДСТАВЛЕНІ У СИСТЕМІ ЗАЛИШКОВИХ КЛАСІВ****(57)** Реферат:

Пристрій для контролю помилок даних, що представлені у системі залишкових класів (СЗК) містить вхідний регістр та елемент АБО, вихід якого є виходом пристрою, при цьому вхід пристрою підключено до входу вхідного регістру, що складається з n підрегістрів, де n - кількість основ m_i СЗК. В пристрій введено інвертор вмісту першого підрегістру за найменшою m_1 основою СЗК вхідного регістру та групу з $n-1$ суматорів вигляду $(a_1 + a_2) \bmod m_{1i}$, $i = \overline{2, n}$, до перших входів яких підключено виходи відповідних підрегістрів. Перший вхід інвертора підключено до виходу першого підрегістру, другий вхід інвертора підключено до шини подачі значення першої m_1 основи СЗК. Вихід інвертора підключено до других входів суматорів групи, виходи яких, через елемент АБО, підключено до виходу пристрою.



Фиг. 1

UA 162875 U

Корисна модель належить до області автоматики та обчислювальної техніки і може бути використана для виявлення помилок даних комп'ютерних пристроїв, що функціонують у системі залишкових класів (СЗК).

Відомий пристрій, що дозволяє контролювати помилки у СЗК [1]. Пристрій містить регістр

числа $A = (a_1 \| a_2 \| \dots \| a_{i-1} \| a_i \| a_{i+1} \| \dots \| a_n \| a_{n+1})$ у СЗК, схему перетворення числа $A = (a_1 \| a_2 \| \dots \| a_{n+1})$ з СЗК у двійкову позиційну систему числення (ПСЧ), пристрій контролю знаходження числа A у діапазоні $[0, M)$. Сутність функціонування даного пристрою складається з послідовності наступних операцій. Число $A = (a_1 \| a_2 \| \dots \| a_{n+1})$ з СЗК переводиться в ПСЧ, і далі робиться порівняння даного числа із робочим діапазоном $[0, M)$. Якщо числа A лежить у діапазоні $[0, M)$, тоді система контролю робить висновок, що помилки нема, а якщо числа A не лежить у діапазоні $[0, M)$, тоді робиться висновок, що є помилки в одному з лишків число $A = (a_1 \| a_2 \| \dots \| a_{n+1})$.

Недоліком аналогу є складність пристрою для контролю помилок даних, що представлено у СЗК.

Відомий пристрій контролю помилок даних у СЗК [2]. Пристрій містить регістр числа $A = (a_1 \| a_2 \| \dots \| a_{n+1})$ у СЗК, блок нулевізації (БН), блок констант нулевізації (БКН), схему аналізу значення $\gamma_{n+1} = a_{n+1}^{(n)}$ на нуль. Причому інформаційний вхід пристрою підключено до входу регістра, вихід якого та вихід БН підключено до першого входу БН. Виходи розрядів регістра підключено до відповідних входів БКН.

Недоліком є складність пристрою для контролю помилок даних, що представлено у СЗК.

Відомий пристрій для виявлення помилок у модулярній системі числення, що описано у патенті [3]. Пристрій містить регістр числа у СЗК, БКН, при цьому інформаційний вхід пристрою підключено до першого входу регістра, а керуючий вхід пристрою підключено до другого входу регістра.

Недоліком є низька оперативність контролю помилок даних у СЗК.

Відомий пристрій для контролю помилок даних у інформаційно-телекомунікаційній системі, що функціонує у класі лишків (КЛ), що описано у патенті [4]. Пристрій містить перший регістр числа у КЛ, БКН, суматор, групу суматорів і, при цьому, інформаційний вхід пристрою підключено до першого входу регістра, а керуючий вхід пристрою підключено до другого входу регістра, вихід якого підключено до першого входу суматора, до другого входу якого підключено вихід БКН, а вихід суматора підключено до перших входів суматорів групи, до других входів яких підключено відповідні шини подачі значень

Недоліком складність пристрою для контролю помилок даних, що представлено у СЗК.

Відомий є пристрій для контролю та корекції помилок даних у комп'ютерних пристроїв комутаційно-комунікаційного вузла телекомунікаційної мережі, що функціонують у класі лишків, що описано у патенті [5]. Пристрій містить перший і другий регістри, групи елементів І, групу елементів АБО, схеми порівняння та ін.

Недоліком пристрою є складність пристрою для контролю помилок даних, що представлено у СЗК.

Відомий пристрій для контролю даних у комп'ютерних пристроїв телекомунікаційної системи, що функціонують у класі лишків, що описано у патенті [6]. Пристрій містить перший і другий регістри, елемент І, блок констант нулевізації (БКН), суматор, групу суматорів, при цьому, інформаційний вхід пристрою підключено до першого входу першого регістра, а керуючий вхід пристрою підключено до другого входу першого регістра, вихід якого підключено до першого входу суматора, до другого входу якого підключено вихід БКН, а вихід суматора підключено до перших входів суматорів групи, вихід підрегистру за найменшою m_1 основою КЛ першого регістру підключено до входу БКН, до других входів суматорів групи підключено

відповідні шини подачі значень $0 \cdot m_1, 1 \cdot m_1, \dots, (N_1 - 1) \cdot m_1$ (де: $N_1 = \prod_{i=2}^n m_i$), а виходи групи суматорів підключено до входів другого регістру, виходи якого підключено до входів елемента І, вихід якого є виходом пристрою.

Недоліком аналогу є складність пристрою для контролю помилок даних, що представлено у СЗК.

Як найближчий аналог обраний пристрій для контролю помилок даних, що представлено у СЗК. Пристрій представлено патентом [7]. Пристрій містить вхідний регістр, першу групу з $n-1$ суматорів, при цьому, вхід пристрою підключено до входу вхідного регістру. В пристрій введено

другу групу з $n-1$ суматорів і елемент АБО, при цьому вихід підрегістру за найменшою m_1 основою СЗК вхідного реєстру, що складається з n підрегістрів (n – кількість основ m_i СЗК), підключено до перших входів суматорів $((a_1 + \bar{a}_i) \bmod m_{j_i}, i = \overline{2, n})$ першої групи, до других входів

яких підключено виходи відповідних суматорів $\bar{a}_i = (m_i - a_i)$, другої групи. До перших входів суматорів другої групи підключено відповідні підреєстри вхідного реєстру, а до других входів суматорів другої групи підключено відповідні входи подачі значень основ m_j , а виходи суматорів першої групи через елемент АБО підключено до виходу пристрою.

Недолік найближчого аналога – складність пристрою для контролю помилок даних, що представлені у СЗК. Складність структури обумовлено кількістю елементів пристрою та складністю зв'язків між ними.

В основу корисної моделі поставлена задача – спрощення структури пристрою для контролю помилок даних, що представлено у СЗК.

Поставлена задача вирішується тим, що пристрій для контролю помилок даних, що представлено у системі залишкових класів (СЗК), містить вхідний реєстр та елемент АБО, вихід якого є виходом пристрою, при цьому вхід пристрою підключено до входу вхідного реєстру, що складається з n підрегістрів, да n - кількість основ m_i СЗК. В пристрій введено інвертор вмісту першого підрегістру за найменшою m_1 основою СЗК вхідного реєстру та групу з $n-1$ суматорів

вигляду $((a_1 + \bar{a}_i) \bmod m_{j_i}, i = \overline{2, n})$, до перших входів яких підключено виходи відповідних підрегістрів, перший вхід інвертора підключено до виходу першого підрегістру, другий вхід інвертора підключено до шини подачі значення першої m_1 основи СЗК, вихід інвертора підключено до других входів суматорів групи, виходи яких, через елемент АБО, підключено до виходу пристрою.

Введення вказаних ознак дозволяє спростити структуру пристрою для контролю помилок даних, що представлено у СЗК, за рахунок виключення з структури найближчого аналога групи

з $(n-1)$ -го суматора виду $\bar{a}_i = (m_i - a_i)$, де $i = \overline{2, n}$, а також шляхом виключення зв'язків між суматорами.

У запропонованій корисній моделі (пристрою) використовується СЗК з n взаємно попарно непротими основами m_i . В цьому випадку кількість кодових слів дорівнює значенню найменшого загального кратного (НЗК) $M = [m_1, m_2, \dots, m_i, \dots, m_n]$ усіх основ СЗК. У СЗК з взаємно попарно непротими основами, критерієм, що дозволяє виявляти помилки даних (виявляти

належність числа $A = (a_1 \| a_2 \| \dots \| a_n)$ до кодових слів), є те, що для довільної пари основ m_i та m_j повинна виконуватись умова $(a_i - a_j) \bmod m_{ij} = 0$, де значення m_{ij} є найбільший загальний дільник основ m_i та m_j . Таким чином, ознакою того, що число $A = (a_1 \| a_2 \| \dots \| a_n)$ немає помилки є виконання умови $(a_i - a_j) \bmod m_{ij} = 0$. Якщо ця умова не виконується, то рахується, що є помилка (число

$A = (a_1 \| a_2 \| \dots \| a_n)$ не є правильним). При розробці структури корисної моделі використовується наступне співвідношення $(\bar{a}_i + a_i) \bmod m_{j_i} = (\bar{a}_1 + a_1) \bmod m_{j_i}, i = \overline{2, n}$.

На фіг. 1 представлена блок-схема пристрою для виявлення помилок даних, що представлено у системі залишкових класів, де: 1 – елемент АБО; 2 – вихід пристрою (вихід ознаки виявлення помилок даних); 3 – вхід пристрою; 4 – вхідний реєстр даних $A = (a_1 \| a_2 \| \dots \| a_n)$;

5₁–5_{n-1} – група з $(n-1)$ -го суматорів вигляду $(\bar{a}_1 + a_i) \bmod m_{j_i}, i = \overline{2, n}$; 6 – інвертор за модулем m_1 ; 7 – шина подачі значення m_1 .

Вхід 3 пристрою підключено до входу вхідного 4 реєстру. До перших входів суматорів 5₁ – 5_{n-1} групи підключено відповідні виходи підрегістрів вхідного реєстру 4. Перший вхід інвертора 6 підключено до виходу першого підрегістру реєстра 4, а другий вхід інвертора 6 підключено до шини 7 подачі значення першої (найменшої) m_1 основи СЗК. Вихід інвертора 6 підключено до других входів суматорів 5₁–5_{n-1} групи, виходи яких, через елемент АБО 1, підключено до виходу 2 пристрою.

Пристрій для контролю помилок даних, що представлено у системі залишкових класів (див. фіг. 1), працює наступним чином. На вхід 3 у вхідний реєстр 4 надходить число $A = (a_1 \| a_2 \| \dots \| a_n)$, що контролюється у СЗК, яке представлено за основами $m_1, m_2, \dots, m_i, \dots, m_n$. З виходу першого підрегістру реєстру 4 значення a_1 першого лишку СЗК надходить до першого входу інвертора 6,

до другого входу якого, за шиною 7, надходить значення m_1 першої (найменшої) основи СЗК. Значення підрегістрів $a_i (i = \overline{2, n})$ регістра 4 надходять на перші входи відповідних суматорів $5_1 - 5_{n-1}$ групи, до других входів яких, з виходу інвертора 6, надходить значення $\overline{a_i} = (m_1 - a_i)$. З виходів суматорів $5_1 - 5_{n-1}$ групи значення $(\overline{a_1} + a_i) \bmod m_{1i}, i = \overline{2, n}$ надходять до входу елемента

АБО 1. Якщо у $A = (a_1 \| a_2 \| \dots \| a_n)$ помилки нема, тоді на виході 2 пристрою сигнал відсутній, тобто всі значення $(a_i + \overline{a_j}) \bmod m_{ij} = 0$. Якщо у $A = (a_1 \| a_2 \| \dots \| a_n)$ виявлена помилка, тоді на виході 2 пристрою присутній сигнал, тобто $(a_i + \overline{a_j}) \bmod m_{ij} \neq 0$.

Розглянемо приклади контролю помилок даних у СЗК, що задана основами $m_1=4, m_2=6$, та $m_3=12$. Кількість кодових слів дорівнює значенню $M=12$. При цьому $m_{12}=[4,6]=2$ та $m_{13}=[4,12]=4$, де значення m_{1i} є найбільший загальний дільник двох основ m_1 та $m_i (i=2,3)$ СЗК (див. фіг. 2 та фіг. 3).

Приклад 1. Нехай задано число $A = (01 \| 101 \| 0101)$ у СЗК. Провести контроль даних. На виході інвертора 6 маємо значення $\overline{a_1} = (m_1 - a_1) = 100 - 01 = 011$. На виході першого 5_1 суматора групи маємо значення $(\overline{a_1} + a_2) \bmod m_{12} = (011 + 101) \bmod 2 = 1000 \bmod 2 = 0$, а на виході другого 5_2 суматора групи маємо значення $(\overline{a_1} + a_3) \bmod m_{13} = (011 + 0101) \bmod 4 = 1000 \bmod 4 = 0$. Таким чином, на виході 2 елемента АБО 1 пристрою відсутній сигнал. Висновок: у числі $A = (01 \| 101 \| 0101)$ помилки нема (число A не спотворено).

Приклад 2. Нехай задано теж саме число $A = (10 \| 100 \| 1010)$ у СЗК. Та нехай буде спотворено число $\tilde{A}$ за другим лишком, наприклад, $a_2 + 011 = 100 + 011 = 111$. Провести контроль даних $\tilde{A} = (10 \| 111 \| 1010)$ у СЗК. На виході інвертора 6 маємо значення $\overline{a_1} = (m_1 - a_1) = 100 - 01 = 011$. На виході першого 5_1 суматора групи маємо значення $(\overline{a_1} + a_2) \bmod m_{12} = (011 + 111) \bmod 2 = 1010 \bmod 2 = 0$, а на виході другого 5_2 суматора групи маємо значення $(\overline{a_1} + a_3) \bmod m_{13} = (011 + 1010) \bmod 4 = 1101 \bmod 4 \neq 0$. Таким чином, на виході 2 елемента АБО 1 пристрою відсутній сигнал. Висновок: у числі $\tilde{A} = (10 \| 111 \| 1010)$ є помилка (число $\tilde{A}$ спотворено).

Таким чином, корисна модель, що представлена, дозволяє суттєво спростити структуру пристрою для контролю помилок даних, що представлено у СЗК. Спрощення корисної моделі досягається за рахунок виключення зі структури пристрою для контролю помилок даних групи суматорів за модулем $\overline{a_i} = (m_1 - a_i), i = \overline{2, n}$ та скорочення кількості їх зв'язків, без зниження інших технічних можливостей пристрою. Це обумовлено застосуванням для контролю помилок даних властивостей непозиційної системи числення у СЗК з взаємно не простими основами. Приведено приклади контролю даних у СЗК. Зі зростанням кількості та величин модулів СЗК ефективність застосування пристрою для контролю помилок даних зростає.

Джерела інформації;

1. Data processing in the system of residual classes / V. Krasnobayev, A. Kuznetsov, A. Yanko, S. Koshman, A. Zamula and T. Kuznetsova // Monograph. ASC Academic Publishing, Minden, Nevada, USA, 2019, 208 p. ISBN: 978-0-9989826-6-3 (Hardback), ISBN: 978-0-9989826-7-0 (Ebook).

2. Method for the control verification of digital information, represented in a residue number system / Yanko A., Krasnobayev V., Tur S. // Advanced Information Systems. 2020. Vol. 4, No. 2. ISSN2522-9052. – P. 149-156. <https://doi.org/10.20998/2522-9052.2020.2.22>

3. Пристрій для виявлення помилок у модулярній системі числення: пат. 49054, Україна: G06F 11/08. № u200912062. Заявл. 24.11.2009; опубл. 12.04.2010, Бюл. № 7. 5 с. URL: <https://sis.nipo.gov.ua/uk/search/detail/261262/>

4. Пристрій для контролю помилок даних у інформаційно-телекомунікаційній системі, що функціонує у класі лишків: пат. 73375, Україна: G06F 11/08. № u201201854. Заявл. 20.02.2012; опубл. 25.09.2012, Бюл. № 18. 8 с. URL: <https://sis.nipo.gov.ua/uk/search/detail/627752/>

5. Пристрій для контролю та корекції помилок даних комп'ютерних пристроїв комутаційно-комунікаційного вузла телекомунікаційної мережі, що функціонують у класі лишків: пат. 105436,

Україна: G06F 11/08 (2006.01), G06F 11/00, G06F 7/72 (2006.01), G06F 7/00. № а201300476. Заявл. 14.01.2013; опубл. 12.05.2014, Бюл. № 9. 11 с. URL: <https://sis.nipo.gov.ua/uk/search/detail/1017755/>

6. Пристрій для контролю даних комп'ютерних пристроїв телекомунікаційної системи, що функціонують у класі лишків: пат. 79673, Україна: G06F 11/08 (2006.01). № u201213145. Заявл. 19.11.2012; опубл. 25.04.2013, Бюл. № 8. 9 с. URL: <https://sis.nipo.gov.ua/uk/search/detail/1141567/>

7. Пристрій для контролю помилок даних, що представлено у системі залишкових класів: пат. 158868, Україна: G06F 11/08 (2006.01). № u202404940. Заявл. 16.10.2024; опубл. 26.03.2025, Бюл. № 13. 5 с. <https://sis.nipo.gov.ua/uk/search/detail/1847628/>

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Пристрій для контролю помилок даних, що представлені у системі залишкових класів (СЗК), що містить вхідний регістр та елемент АБО, вихід якого є виходом пристрою, при цьому вхід пристрою підключено до входу вхідного регістру, що складається з n підрегістрів, де n - кількість основ m_i СЗК, який **відрізняється** тим, що в пристрій введено інвертор вмісту першого підрегістру за найменшою m_1 основою СЗК вхідного регістру та групу з $n-1$ суматорів вигляду $(a_1 + \overline{a_2}) \bmod m_i$, $i = \overline{2, n}$, до перших входів яких підключено виходи відповідних підрегістрів, перший вхід інвертора підключено до виходу першого підрегістру, другий вхід інвертора підключено до шини подачі значення першої m_1 основи СЗК, вихід інвертора підключено до других входів суматорів групи, виходи яких, через елемент АБО, підключено до виходу пристрою.

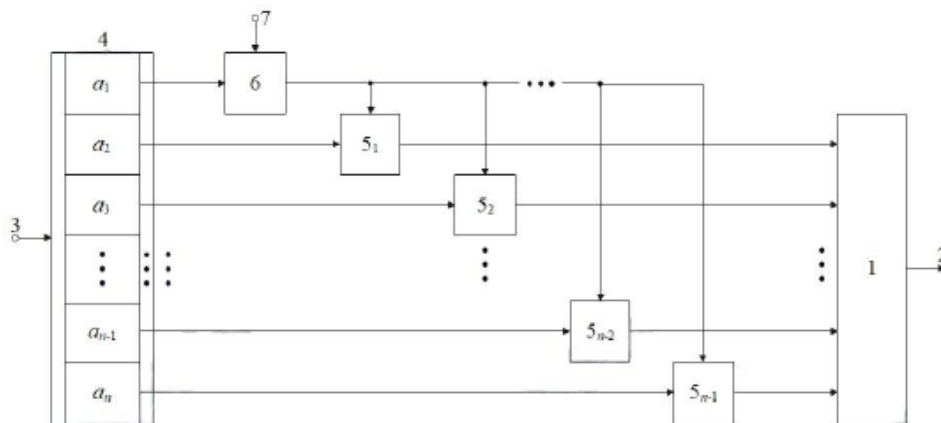


Fig. 1

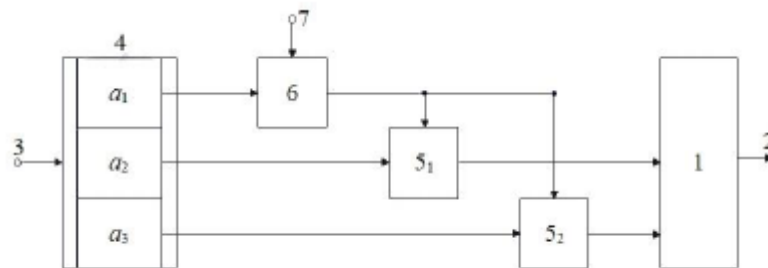


Fig. 2

A	A в СЗК		
	$m_1 = 3$	$m_2 = 6$	$m_3 = 12$
0000	00	000	0000
0001	01	001	0001
0010	10	010	0010
0011	11	011	0011
0100	00	100	0100
0101	01	101	0101
0110	10	000	0110
0111	11	001	0111
1000	00	010	1000
1001	01	011	1001
1010	10	100	1010
1011	11	101	1011

Фіг. 3